

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-222918

(43)Date of publication of application : 09.08.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/3205

(21)Application number : 2001-014901

(71)Applicant : NEC MICROSYSTEMS LTD

(22)Date of filing : 23.01.2001

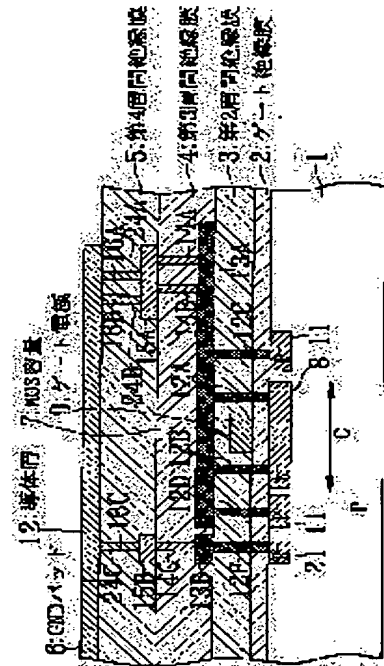
(72)Inventor : KOBAYASHI MAKOTO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To protect the gate insulating film of a compensating capacitor comprising a MOS capacitor against electrostatic discharge damage due to noise and enhance the degree of freedom in laying out compensating capacitors.

SOLUTION: With respect to a semiconductor device, a GND pad 6 made of, for example, aluminum is formed on, for example, a p-type silicon substrate 1 with an insulating film 2 and interlayer insulating films 3 to 5 in-between. An n-type high-concentration diffusion region 8 to be one terminal of the MOS capacitor 7 as compensating capacitor is formed on the substrate 1 at a distance from the GND pad 6 in the horizontal direction, and a p-type high-concentration diffusion region 11 is formed on the substrate 1 so that the p-type high-concentration diffusion region encircles the n-type high-concentration diffusion region 8. A high-resistance conductor layer 13A is connected between the diffusion regions 8 and 11 and the GND pad 6.



LEGAL STATUS

[Date of request for examination] 12.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-222918
(P2002-222918A)

(43) 公開日 平成14年8月9日(2002.8.9)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 27/04		H 0 1 L 27/04	H 5 F 0 3 3
21/822		21/88	T 5 F 0 3 8
21/3205			Z

審査請求 有 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願2001-14901(P2001-14901)

(22) 出願日 平成13年1月23日(2001.1.23)

(71) 出願人 000232036

エヌイーシーマイクロシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 小林 誠

神奈川県川崎市中原区小杉町一丁目403番
53号 日本電気アイシーマイコンシステム
株式会社内

(74) 代理人 100099830

弁理士 西村 征生

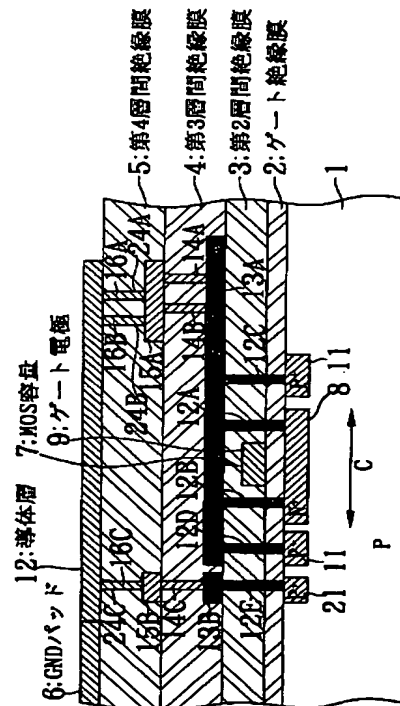
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 MOS容量から成る補償容量のゲート絶縁膜をノイズによる静電破壊から保護するとともに、補償容量のレイアウトに自由度を持たせる。

【解決手段】 開示される半導体装置は、例えばP型シリコン基板1上には、ゲート絶縁膜2、各層間絶縁膜3～5を介して例えばアルミニウムから成るGNDパッド6が形成され、基板1のGNDパッド6から水平方向に離間した位置には補償容量としてのMOS容量7の一方の端子となるN型高濃度拡散領域8及びN型高濃度拡散領域8を取り囲むようにP型高濃度拡散領域11が形成され、各拡散領域8、11とGNDパッド6との間に高抵抗導体層13Aが接続されている。



【特許請求の範囲】

【請求項 1】 半導体基板に複数の回路素子が集積され、前記半導体基板にグランドパッドが接続されるとともに M I S 容量から成る補償容量を介して内部電源が接続されてなる半導体装置であって、

前記グランドパッドは前記半導体基板上に層間絶縁膜を介して形成され、前記半導体基板に前記グランドパッドから水平方向に離間して前記 M I S 容量の一方の端子となる第 1 拡散領域及び該第 1 拡散領域を取り囲むように第 2 拡散領域が形成され、該第 1 及び第 2 拡散領域と前記グランドパッドとの間に高抵抗導体層が接続されていることを特徴とする半導体装置。

【請求項 2】 前記グランドパッドと前記高抵抗導体層との間に導体層が接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記導体層は、前記 M I S 容量を基準位置として前記グランドパッドから水平方向に該グランドパッドと反対側の位置に引き出されて、前記高抵抗導体層に接続されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記導体層は、前記 M I S 容量を基準位置として前記グランドパッドから水平方向に該グランドパッドと同一側の位置に引き出されて、前記高抵抗導体層に接続されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 5】 前記導体層は、前記グランドパッドから水平方向に前記 M I S 容量の配置方向と略直交する方向に引き出されて、前記高抵抗導体層に接続されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 6】 前記半導体基板の前記第 2 拡散領域に隣接し前記グランドパッドと同一側の位置に第 3 拡散領域が形成され、該第 3 拡散領域と前記グランドパッドとの間に前記高抵抗導体層が接続されていることを特徴とする請求項 1 乃至 5 のいずれか 1 に記載の半導体装置。

【請求項 7】 前記高抵抗導体層は、窒化チタン、タングステン又は多結晶シリコンから成ることを特徴とする請求項 1 乃至 6 のいずれか 1 に記載の半導体装置。

【請求項 8】 前記導体層は、アルミニウムから成ることを特徴とする請求項 2 乃至 7 のいずれか 1 に記載の半導体装置。

【請求項 9】 前記半導体基板及び前記第 2 拡散領域は第 1 導電型半導体から成る一方、前記第 1 拡散領域は第 2 導電型半導体から成ることを特徴とする請求項 1 乃至 8 のいずれか 1 に記載の半導体装置。

【請求項 10】 前記第 3 半導体領域は、第 1 導電型半導体から成ることを特徴とする請求項 6 乃至 9 のいずれか 1 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置に係

り、詳しくは、複数の回路素子が集積される半導体基板に G N D (Ground: グランド) パッドが接続されるとともに M I S 容量から成る補償容量を介して内部電源が接続される半導体装置に関する。

【0002】

【従来の技術】 半導体装置の代表として知られている L S I (大規模集積回路) は、半導体基板に所望の機能を有する内部回路を構成する複数の回路素子が集積される。ここで、半導体装置の動作時には、基板に対しては内部電源が供給されるが、この場合内部電源を安定化する(補償する)ように働く、いわゆる補償容量を介して内部電源を基板に供給することが一般的に行われている。もし、補償容量を用いないで内部電源を直接に基板に供給すると、内部電源が変動し易くなって、半導体装置の動作が不安定になる。

【0003】 ここで、半導体装置を構成する各回路素子としては、高集積化が可能で、製造コストの点で優れている MOS (Metal Oxide Semiconductor) 製造技術を利用して製造される MOS 型トランジスタが用いられて、この MOS 型トランジスタが集積されて製造された MOS 型半導体装置が主流になってきている。MOS 型トランジスタは、周知のように、半導体基板上にゲート絶縁膜を介して設けられたゲート電極に制御電圧を印加することで、ゲート絶縁膜直下の基板表面に誘起されるチャネルの導電度を制御することを動作原理としている。したがって、ゲート絶縁膜の膜質は MOS 型トランジスタにより構成される半導体装置の要となっていて、このゲート絶縁膜をいかに高信頼性で形成するかが、半導体装置開発における重要な課題になっている。

【0004】 上述したような理由で、上記補償容量は一般に、MOS 製造技術をそのまま利用して、MOS 型トランジスタの製造時に形成されたゲート絶縁膜としてのシリコン酸化膜 (S i O₂) の一部を、容量絶縁膜として用いて製造された MOS 容量によって構成されている。そして、MOS 容量から成る補償容量には内部電源が接続される。

【0005】 図 11 は、従来の半導体装置の構成を示す平面図、図 12 は図 11 の E-E 矢視断面図、図 13 は同半導体装置の等価回路を示す図である。同半導体装置は、図 11 及び図 12 に示すように、例えば P 型シリコン基板 51 上には、ゲート絶縁膜 52、第 1 層間絶縁膜 53、第 2 層間絶縁膜 54 及び第 3 層間絶縁膜 55 を介して G N D パッド 56 が形成され、基板 51 の G N D パッド 56 から水平方向に離間した位置には補償容量としての MOS 容量 57 が形成されている。すなわち、基板 51 には N 型高濃度 (N⁺型) 拡散領域 58 が形成されて、この N 型高濃度拡散領域 58 上にはゲート絶縁膜 52 を介してゲート電極 59 が形成されて、N 型高濃度拡散領域 58、ゲート絶縁膜 52 及びゲート電極 59 により MOS 容量 57 を構成している。また、G N D パッド

3

56からはMOS容量57の上部位置まで第2導体層60が引き出されている。

【0006】P型シリコン基板51のN型高濃度拡散領域58に隣接する位置にはP型高濃度(P⁺型)拡散領域61が形成されて、サブ(Substrate:サブストレート)コンタクト領域として働く。ゲート絶縁膜52及び第1層間絶縁膜53には、N型高濃度拡散領域58に接続される第1コンタクト62A、62B及びP型高濃度拡散領域61に接続される第1コンタクト62Cがそれぞれ形成されている。第2層間絶縁膜54には、第1コンタクト62A、62Bに接続される高抵抗導体層63A、第1コンタクト62Cに接続される高抵抗導体層63Bが形成されるとともに、高抵抗導体層63Aに接続される第2コンタクト64A、64B、高抵抗導体層63Bに接続される第2コンタクト64Cが形成されている。第3層間絶縁膜55には第2コンタクト64A、64Bに接続される第1導体層65A、第2コンタクト64Cに接続される第1導体層65Bが形成されるとともに、第1導体層65Aに接続される第3コンタクト66A、66B、第1導体層65Bに接続される第3コンタクト66Cが形成されている。そして、第3コンタクト66A~66Cは第2導体層60に接続されている。

【0007】以上により、補償容量としてのMOS容量57の一方の端子であるゲート電極59には内部電源Vが接続される。また、N型高濃度拡散領域58には、第1コンタクト62A、62B、高抵抗導体層63A、第2コンタクト64A、64B、第1導体層65A、第3コンタクト66A、66B及び第2導体層60を介してGNDパッドが接続される。

【0008】また、P型シリコン基板51のGNDパッド56とMOS容量57との間の位置には、GNDパッド56に対する保護素子70が形成されている。すなわち、基板51に形成されたN型高濃度拡散領域71A~71C及びサブコンタクト領域として働くP型高濃度拡散領域72、ゲート絶縁膜52及び第1層間絶縁膜53にそれぞれN型高濃度拡散領域71A~71Cに接続されるように形成された第1コンタクト62D~62F及びP型高濃度拡散領域72に接続されるように形成された第1コンタクト62G、第2層間絶縁膜54にそれぞれ第1コンタクト62D~62Fに接続されるように形成された高抵抗導体層63C~63E及び第1コンタクト62Gに接続されるように形成された高抵抗導体層63Fとともに、高抵抗導体層63C~63Eに接続されるように形成された第2コンタクト64D~64F及び高抵抗導体層63Fに接続されるように形成された第2コンタクト64G、第3層間絶縁膜54にそれぞれ第2コンタクト64D~64Fに接続されるように形成された第1導体層65C~65E及び第2コンタクト64Gに接続されるように形成された第1導体層65Fとともに、第1導体層65C~65Eに接続されるように形成

4

された第3コンタクト66D~66F及び第1導体層65Fに接続されるように形成された第3コンタクト65Gによって、保護素子70が形成されている。

【0009】

【発明が解決しようとする課題】ところで、従来の半導体装置では、GNDパッドをノイズから保護することができものの、補償容量としてのMOS容量のゲート絶縁膜をノイズから保護することができない、という問題がある。すなわち、図11及び図12に示した従来の半導体装置のように、補償容量としてのMOS容量57にGNDパッド56が接続されていると、何らかの原因でGNDパッド57にノイズが加わった場合に、このノイズがそのままMOS容量57に加わるようになるので、容量絶縁膜を構成している膜厚の薄いゲート絶縁膜52がノイズにより静電破壊されてしまったため、リーク電流が大きくなる欠点が生ずる。

【0010】また、従来の半導体装置では、GNDパッド56の近傍に保護素子70がレイアウトされているので、補償容量としてのMOS容量57のレイアウトの自由度が低い、という問題がある。すなわち、従来の半導体装置のように、基板51のGNDパッド56とMOS容量57との間の位置に保護素子70が形成されていると、保護素子70によって基板51の余分なスペースが占有されてしまうので、補償容量をレイアウトする位置が制約されるようになる。

【0011】ここで、従来の半導体装置では、回路素子を形成する基板がいわゆるツインウエル構成になっているので、保護素子70が必要になっている。しかしながら、最近の半導体装置のように回路素子を形成する基板がいわゆるトリプルウエル構成のものが普及してくると、基板電位がGNDになって基板51はGNDパッドに接続されて使用されるようになる。したがって、このような半導体装置では保護素子70は不要であることが判明してきている。

【0012】それゆえ、上記半導体装置においては、保護素子を不要にすることにより補償容量であるMOS容量57をGNDパッド56の近傍にレイアウトすることが可能になる。しかしながら、このような場合はGNDパッド56からMOS容量57に至る導電経路が短くなるためこの導電経路の抵抗成分が小さくなるので、GNDパッド56にノイズが加わったときのMOS容量57のゲート絶縁膜52を静電破壊から保護する効果が十分でなくなる。この点で従来の半導体装置では、図11及び図12において、高抵抗導体層63Aの活用が図られているが、この場合高抵抗導体層63Aは配線の一部として使用せざるを得ないが、抵抗成分がトランジスタの特性を悪化させるので、その活用は好ましくない。

【0013】この発明は、上述の事情に鑑みてなされたもので、MOS容量から成る補償容量のゲート絶縁膜をノイズによる静電破壊から保護するとともに、補償容量

のレイアウトに自由度を持たせることができるようにした半導体装置を提供することを目的としている。

【0014】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、半導体基板に複数の回路素子が集積され、上記半導体基板にグランドパッドが接続されるとともにMIS容量から成る補償容量を介して内部電源が接続されてなる半導体装置に係り、上記グランドパッドは上記半導体基板上に層間絶縁膜を介して形成され、上記半導体基板に上記グランドパッドから水平方向に離間して上記MIS容量の一方の端子となる第1拡散領域及び該第1拡散領域を取り囲むように第2拡散領域が形成され、該第1及び第2拡散領域と上記グランドパッドとの間に高抵抗導体層が接続されていることを特徴としている。

【0015】また、請求項2記載の発明は、請求項1記載の半導体装置に係り、上記グランドパッドと上記高抵抗導体層との間に導体層が接続されていることを特徴としている。

【0016】また、請求項3記載の発明は、請求項2記載の半導体装置に係り、上記導体層は、上記MIS容量を基準位置として上記グランドパッドから水平方向に該グランドパッドと反対側の位置に引き出されて、上記高抵抗導体層に接続されていることを特徴としている。

【0017】また、請求項4記載の発明は、請求項2記載の半導体装置に係り、上記導体層は、上記MIS容量を基準位置として上記グランドパッドから水平方向に該グランドパッドと同一側の位置に引き出されて、上記高抵抗導体層に接続されていることを特徴としている。

【0018】また、請求項5記載の発明は、請求項2記載の半導体装置に係り、上記導体層は、上記グランドパッドから水平方向に上記MIS容量の配置方向と略直交する方向に引き出されて、上記高抵抗導体層に接続されていることを特徴としている。

【0019】また、請求項6記載の発明は、請求項1乃至5のいずれか1に記載の半導体装置に係り、上記半導体基板の上記第2拡散領域に隣接し上記グランドパッドと同一側の位置に第3拡散領域が形成され、該第3拡散領域と上記グランドパッドとの間に上記高抵抗導体層が接続されていることを特徴としている。

【0020】また、請求項7記載の発明は、請求項1乃至6のいずれか1に記載の半導体装置に係り、上記高抵抗導体層は、窒化チタン、タングステン又は多結晶シリコンから成ることを特徴としている。

【0021】また、請求項8記載の発明は、請求項2乃至7のいずれか1に記載の半導体装置に係り、上記導体層は、アルミニウムから成ることを特徴としている。

【0022】また、請求項9記載の発明は、請求項1乃至8のいずれか1に記載の半導体装置に係り、上記半導体基板及び上記第2拡散領域は第1導電型半導体から成

る一方、上記第1拡散領域は第2導電型半導体から成ることを特徴としている。

【0023】また、請求項10記載の発明は、請求項6乃至9のいずれか1に記載の半導体装置に係り、上記第3半導体領域は、第1導電型半導体から成ることを特徴としている。

【0024】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的に行う。

◇第1実施例

図1は、この発明の第1実施例である半導体装置の構成を示す断面図、図2は図1のA-A矢視断面図、また、図3及び図4は同半導体装置の製造方法を工程順に示す工程図、図5は同半導体装置の等価回路を示す図である。この例の半導体装置は、図1及び図2に示すように、例えばP型シリコン基板1上には、例えばシリコン酸化膜から成るゲート絶縁膜2、第1層間絶縁膜3、第2層間絶縁膜4及び第3層間絶縁膜5を介して例えばアルミニウムから成るGNDパッド6が形成され、基板1のGNDパッド6から水平方向に離間した位置には補償容量としてのMOS容量7が形成されている。すなわち、基板1にはN型高濃度(N⁺型)拡散領域8が形成されて、このN型高濃度拡散領域8上にはゲート絶縁膜2を介して例えば多結晶シリコンから成るゲート電極9が形成されて、N型高濃度拡散領域8、ゲート絶縁膜2及びゲート電極9によりMOS容量7を構成している。

【0025】ここで、N型高濃度拡散領域8はMOS容量7の一方の端子となり、ゲート電極9は他方の端子となる。また、MOS容量7を基準位置としてGNDパッド6からは、第2導体層10が水平方向にGNDパッド6と反対側の位置に引き出されている。半導体装置の動作時に、基板電位がGNDとなるように基板1はGNDパッドに接続されてる。

【0026】P型シリコン基板1のN型高濃度拡散領域8に隣接する位置には、このN型高濃度拡散領域8を取り囲むようにP型高濃度(P⁺型)拡散領域11が形成されて、サブコンタクト領域として働く。ゲート絶縁膜2及び第1層間絶縁膜3には、N型高濃度拡散領域8に接続される例えば窒化チタンから成る第1コンタクト12A、12B及びP型高濃度拡散領域11に接続される第1コンタクト12C、12Dがそれぞれ形成されている。第2層間絶縁膜4には、第1コンタクト12A～12Dに接続される例えば窒化チタンから成る高抵抗導体層13Aが形成されるとともに、高抵抗導体層13Aに接続される例えばアルミニウムから成る第2コンタクト14A、14Bが形成されている。第3層間絶縁膜5には第2コンタクト14A、14Bに接続される例えばアルミニウムから成る第1導体層15Aが形成されるとともに、第1導体層15Aに接続される例えばアルミニウ

ムから成る第3コンタクト16A、16Bが形成されている。そして、第3コンタクト16A、16Bは第2導体層10に接続されている。高抵抗導体層13Aは略10オームの抵抗値を有するように形成されている。

【0027】すなわち、この例においては、MOS容量7を基準位置としてGNDパッド6から、GNDパッド6と反対側の位置に引き出された第2導体層10が、第3コンタクト16A、16B、第1導体層15A及び第2コンタクト14A、14Bを介して高抵抗導体層13Aに接続されている。そして、高抵抗導体層13Aはさらに第1コンタクト12A、12Bを介してN型高濃度拡散領域8に接続されるとともに、第1コンタクト12C、12Dを介してP型高濃度拡散領域11に接続されている。また、補償容量としてのMOS容量7の一方の端子であるゲート電極9には、内部電源Vが接続される。

【0028】また、P型シリコン基板1のP型高濃度拡散領域11に隣接しGNDパッド6と同一側の位置にはP型高濃度拡散領域21が形成されて、サブコンタクト領域として働く。ゲート絶縁膜2及び第1層間絶縁膜3には、P型高濃度拡散領域21に接続される例えば窒化チタンから成る第1コンタクト12Eが形成され、第2層間絶縁膜4には第1コンタクト12Eに接続される例えば窒化チタンから成る高抵抗導体層13Bが形成されるとともに、高抵抗導体層13Bに接続される例えばアルミニウムから成る第2コンタクト14Cが形成されている。また、第3層間絶縁膜5には第2コンタクト14Cに接続される例えばアルミニウムから成る第1導体層15Bが形成されるとともに、第1導体層15Bに接続される例えばアルミニウムから成る第3コンタクト16Cが形成されている。そして、第3コンタクト16Cは第2導体層10のGNDパッド6の近傍の位置に接続されている。

【0029】すなわち、P型高濃度拡散領域21は、第1コンタクト12E、高抵抗導体層13B、第2コンタクト14C、第1導体層15B及び第3コンタクト16Cを介して、第2導体層10のGNDパッド6の近傍の位置に接続されている。このP型高濃度拡散領域21から第2導体層10に至る導電経路は、GNDパッド6にノイズが加わったときに、ノイズを基板1に逃がしてMOS容量7のゲート絶縁膜2を静電破壊から保護する補助的な役割を担う。

【0030】上述したような構成によれば、GNDパッド6にノイズが加わったとき、ノイズは第2導体層10のGNDパッド6の近傍の位置から、第3コンタクト16C、第1導体層15B、第2コンタクト14C、高抵抗導体層13B及び第1コンタクト12Eを介してP型高濃度拡散領域21に逃がされる。また、第2導体層10のGNDパッド6の遠い位置（MOS容量7を基準位置としてGNDパッド6と反対側の位置）に到達したノ

イズは第3コンタクト16A、16B、第1導体層15A及び第2コンタクト14A、14Bを介して高抵抗導体層13Aに到達し、さらに第1コンタクト12A、12Bを介してN型高濃度拡散領域8に逃がされるとともに、第1コンタクト12C、12Dを介してP型高濃度拡散領域11に逃がされる。このとき、導電経路の一部である高抵抗導体層13Aの存在に基づいて、その抵抗成分（略10オーム）によりノイズは吸収されるので低減されるようになる。したがって、MOS容量7のゲート絶縁膜2の静電破壊を防止することができるので、リーク電流を抑制することができる。この例では、高抵抗導体層13Aの抵抗値は、一例としてあげた略10オームに限らず、5オーム～20オームの範囲であれば十分な効果を得ることができる。

【0031】また、この例によれば、従来の半導体装置のような保護素子は不要になるので、その分基板1のスペースを節約することができる。したがって、GNDパッド6の近傍に補償容量であるMOS容量7をレイアウトすることができるので、補償容量のレイアウトに自由度を持たせることができる。一例として、従来においては、GNDパッド56からMOS容量57まで略300μmの間隔を必要としていたのに対して、この例によれば、GNDパッド6からMOS容量7までの間隔は略100μmに縮小できるようになり、略1/3に縮めることができた。

【0032】次に、図3及び図4を参照して、同半導体装置の製造方法について工程順に説明する。まず、図3(a)に示すように、P型シリコン基板1を用いて、周知のイオン注入法により燐(P)等のN型不純物を打ち込んで、N型高濃度拡散領域8を形成する。同様にして、硼素(B)等のP型不純物を打ち込んで、N型高濃度拡散領域8を取り囲むようにP型高濃度拡散領域11及びP型高濃度拡散領域11に隣接するようにP型高濃度拡散領域21を形成する。MOS容量の一方の端子となるN型高濃度拡散領域8の寸法Cは略30μmに設定される。

【0033】次に、図3(b)に示すように、熱酸化法等により基板1の表面にシリコン酸化膜から成るゲート絶縁膜2を形成した後、ゲート絶縁膜2上に例えば多結晶シリコンから成るゲート電極9を形成する。これには、周知のCVD (Chemical Vapor Deposition) 法あるいはスパッタ法により全面に多結晶シリコンを成膜した後、周知のフォトリソグラフィ法により多結晶シリコンを所望の形状にパターニングしてゲート電極9を形成する。

【0034】次に、図4(c)に示すように、CVD法又はスパッタ法により全面にシリコン酸化膜等の第2層間絶縁膜3を形成した後、フォトリソグラフィ法によりN型高濃度拡散領域8及びP型高濃度拡散領域21上のゲート絶縁膜2及び第2層間絶縁膜3をエッチングし

て、スルーホール 22A~22E を形成する。次に、CVD 法又はスパッタ法により全面に例えば窒化チタンを成膜した後、フォトリソグラフィ法により窒化チタンを所望の形状にパターニングして高抵抗導体層 13A、13B を形成する。このとき、予め形成されている各スルーホール 22A~22E にも窒化チタンが埋め込まれることにより、第 1 コンタクト 12A~12E が形成される。

【0035】次に、図 4 (d) に示されるように、CVD 法又はスパッタ法により全面にシリコン酸化膜等の第 2 層間絶縁膜 4 を形成した後、フォトリソグラフィ法により高抵抗導体層 13A、13B 上の第 2 層間絶縁膜 4 をエッチングして、スルーホール 23A~23C を形成する。次に、CVD 法又はスパッタ法により全面に例えばアルミニウムを成膜した後、フォトリソグラフィ法によりアルミニウムを所望の形状にパターニングして第 1 導体層 15A、15B を形成する。このとき、予め形成されている各スルーホール 23A~23C にもアルミニウムが埋め込まれることにより、第 2 コンタクト 14A~14C が形成される。

【0036】次に、CVD 法又はスパッタ法により全面にシリコン酸化膜等の第 3 層間絶縁膜 5 を形成した後、フォトリソグラフィ法により第 1 導体層 15A、15B 上の第 3 層間絶縁膜 5 をエッチングして、スルーホール 24A~24C を形成する。次に、CVD 法又はスパッタ法により全面に例えばアルミニウムを成膜した後、フォトリソグラフィ法によりアルミニウムを所望の形状にパターニングして GND パッド 6 及び第 2 導体層 10 を形成する。このとき、予め形成されている各スルーホール 24A~24C にもアルミニウムが埋め込まれることにより、第 3 コンタクト 14A~14C が形成される。以上により、図 11 及び図 12 に示したようなこの例の半導体装置を完成させる。

【0037】このように、この例の構成の半導体装置によれば、例えば P 型シリコン基板 1 上には、ゲート絶縁膜 2、各層間絶縁膜 3~5 を介して例えばアルミニウムから成る GND パッド 6 が形成され、基板 1 の GND パッド 6 から水平方向に離間した位置には補償容量としての MOS 容量 7 の一方の端子となる N 型高濃度拡散領域 8 及び N 型高濃度拡散領域 8 を取り囲むように P 型高濃度拡散領域 11 が形成され、各拡散領域 8、11 と GND パッド 6 との間に高抵抗導体層 13A が接続されているので、高抵抗導体層 13A の抵抗成分によりノイズを低減させることができる。したがって、MOS 容量から成る補償容量のゲート絶縁膜をノイズによる静電破壊から保護するとともに、補償容量のレイアウトに自由度を持たせることができる。

【0038】◇第 2 実施例

図 6 は、この発明の第 2 実施例である半導体装置の構成を平面図、図 7 は図 6 の B-B 矢視断面図である。この

例の半導体装置の製造方法の構成が、上述した第 1 実施例の構成と大きく異なるところは、GND パッドから引き出した導体層を高抵抗導体層に接続する位置を GND パッドの近傍の位置に変更するようにした点である。すなわち、この例の半導体装置は、図 6 及び図 7 に示すように、MOS 容量 7 を基準位置として GND パッド 6 から、GND パッド 6 と同一側の位置に引き出された第 2 導体層 10 が、第 3 コンタクト 16A、16B、第 1 導体層 15A 及び第 2 コンタクト 14A、14B を介して高抵抗導体層 13A に接続されている。そして、高抵抗導体層 13A はさらに第 1 コンタクト 12A、12B を介して N 型高濃度拡散領域 8 に接続されるとともに、第 1 コンタクト 12C、12D を介して P 型高濃度拡散領域 11 に接続されている。また、補償容量としての MOS 容量 7 の一方の端子であるゲート電極 9 には、内部電源 V が接続される。この例の半導体装置は、第 1 実施例の製造方法と略同様な工程を繰り返すことにより製造することができる。これ以外は、上述した第 1 実施例と略同様である。それゆえ、図 6 及び図 7 において、図 1 及び図 2 の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【0039】このように、この例の半導体装置によれば、GND パッド 6 から引き出された第 2 導体層 10 を高抵抗導体層 13A に接続する位置を GND パッド 6 の近傍の位置に変更することにより、第 1 実施例のように GND パッド 6 と反対側の位置に第 2 導体層 10 を引き出したくとも、その位置に回路素子あるいは配線等が形成されていてレイアウトの点で制約がある場合でも、十分に対処させることができるという効果が得られる。

【0040】このように、この例の構成によっても、第 1 実施例において述べたのと略同様な効果を得ることができる。加えて、この例の構成によれば、導電経路がレイアウトの点で制約を受ける場合でも対処させることができる。

【0041】◇第 3 実施例

図 8 は、この発明の第 3 実施例である半導体装置の構成を平面図、図 9 は図 8 の C-C 矢視断面図、図 10 は図 8 の D-D 矢視断面図である。この例の半導体装置の製造方法の構成が、上述した第 2 実施例の構成と大きく異なるところは、GND パッドから導体層を MOS 容量の配置方向と略直交する方向に引き出して高抵抗導体層に接続するようにした点である。すなわち、この例の半導体装置は、図 8~図 9 に示すように、第 2 導体層 10 は、GND パッド 6 から水平方向に MOS 容量 7 の配置方向と略直交する方向に引き出されて、第 1 導体層 15A 及び第 2 コンタクト 14J~14M を介して高抵抗導体層 13A に接続されている。そして、高抵抗導体層 13A はさらに第 1 コンタクト 12A、12B を介して N 型高濃度拡散領域 8 に接続されるとともに、第 1 コンタクト 12C、12D を介して P 型高濃度拡散領域 11 に

接続されている。また、補償容量としてのMOS容量7の一方の端子であるゲート電極9には、内部電源Vが接続される。この例の半導体装置は、第1実施例の製造方法と略同様な工程を繰り返すことにより製造することができる。

【0042】このように、この例の半導体装置によれば、第2導体層10をGNDパッド6から水平方向にMOS容量7の配置方向と略直交する方向に引き出すことにより、第1実施例のようにGNDパッド6と反対側の位置に第2導体層10を引き出したくとも、その位置に回路素子あるいは配線等が形成されていてレイアウトの点で制約がある場合でも、第2実施例と同様に、十分に対処させることができるという効果が得られる。

【0043】このように、この例の構成によっても、第2実施例において述べたのと略同様な効果を得ることができる。

【0044】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、ゲート絶縁膜は酸化膜 (Oxide Film) に限らず、窒化膜 (Nitride Film) でも良く、あるいは、酸化膜と窒化膜との二重膜構成でも良い。つまり、MIS (Metal Insulator Semiconductor) 型トランジスタである限り、MOS型トランジスタに限らず、MNS (Metal Nitride Semiconductor) 型トランジスタでも良く、あるいはMNOS (Metal Nitride Oxide Semiconductor) 型トランジスタでも良い。

【0045】また、GNDパッドと補償容量との間の導電経路に用いる高抵抗導体層としては、窒化チタンに限らずに、タングステンあるいは多結晶シリコン等の他の導体層を用いても、略同様に優れた効果を得ることができる。また、各層間絶縁膜としてはシリコン酸化膜に限らずに、シリコン窒化膜あるいはBSG (Boron-Silicate Glass)、PSG (Phospho-Silicate Glass)、BPSG (Boron-Phospho-Silicate Glass) 等の他の材料を用いることができる。また、各半導体領域の導電型はP型とN型とを逆にしても良い。

【0046】

【発明の効果】以上説明したように、この発明の半導体装置によれば、半導体基板上には、ゲート絶縁膜、各層間絶縁膜を介してGNDパッドが形成され、基板のGNDパッドから水平方向に離間した位置には補償容量としてのMIS容量の一方の端子となる第1拡散領域及び第1拡散領域を取り囲むように第2拡散領域が形成され、各拡散領域とGNDパッドとの間に高抵抗導体層が接続されているので、高抵抗導体層の抵抗成分によりノイズ

を低減させることができる。したがって、MOS容量から成る補償容量のゲート絶縁膜をノイズによる静電破壊から保護するとともに、補償容量のレイアウトに自由度を持たせることができる。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体装置の構成を平面図である。

【図2】図1のA-A矢視断面図である。

【図3】同半導体装置の製造方法を工程順に示す工程図である。

【図4】同半導体装置の製造方法を工程順に示す工程図である。

【図5】同半導体装置の等価回路を示す図である。

【図6】この発明の第2実施例である半導体装置の構成を平面図である。

【図7】図6のB-B矢視断面図である。

【図8】この発明の第3実施例である半導体装置の構成を平面図である。

【図9】図8のC-C矢視断面図である。

【図10】図8のD-D矢視断面図である。

【図11】従来の半導体装置の構成を示す平面図である。

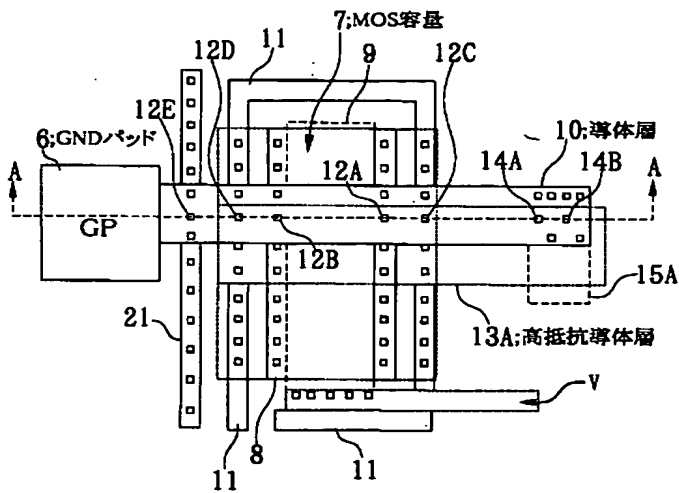
【図12】図11のE-E矢視断面図である。

【図13】同半導体装置の等価回路を示す図である。

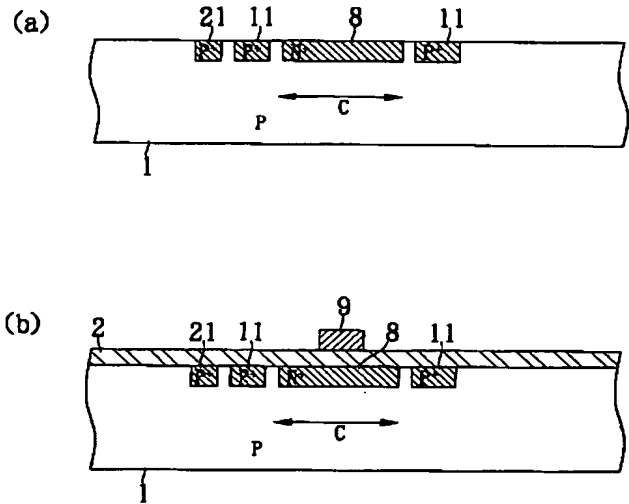
【符号の説明】

1	P型シリコン基板
2	ゲート絶縁膜
3	第1層間絶縁膜
4	第2層間絶縁膜
5	第3層間絶縁膜
6	GNDパッド
7	MOS容量
8	N型高濃度 (N ⁺ 型) 拡散領域
9	ゲート電極
10	導体膜
11	P型高濃度 (P ⁺ 型) 拡散領域 (サブコンタクト領域)
12A~12E	第1コンタクト
13A、13B	高抵抗導体層
14A~14C、14J~14M	第2コンタクト
15A、15B	第1導体層
16A~16C	第3コンタクト
21	P型高濃度 (P ⁺ 型) 拡散領域 (サブコンタクト領域)
22A~22E、23A~23C、24A~24C	スルーホール

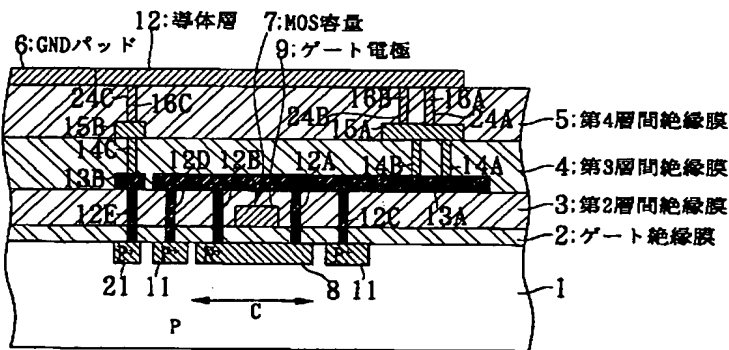
【図1】



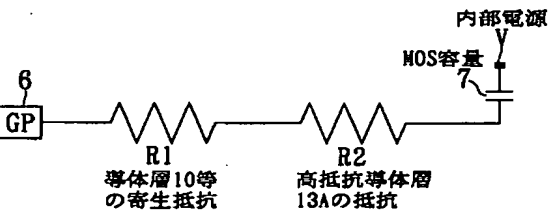
【図3】



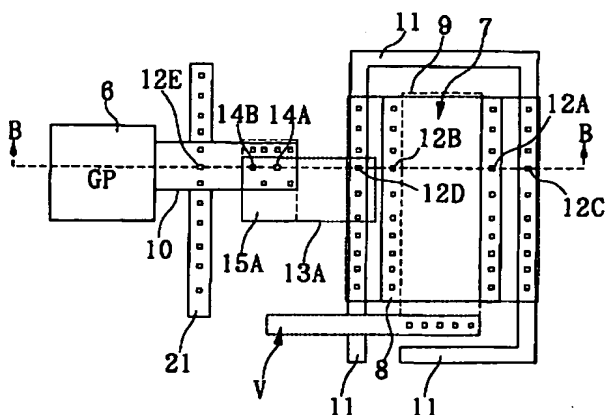
【図2】



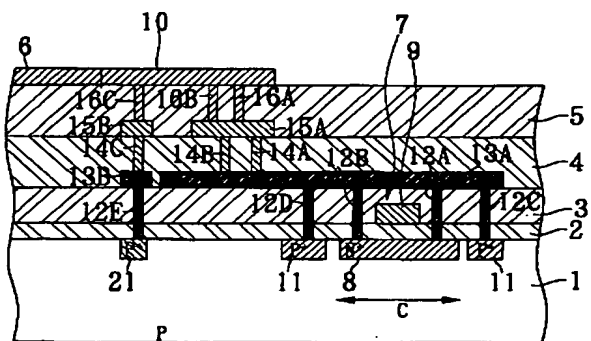
【図5】



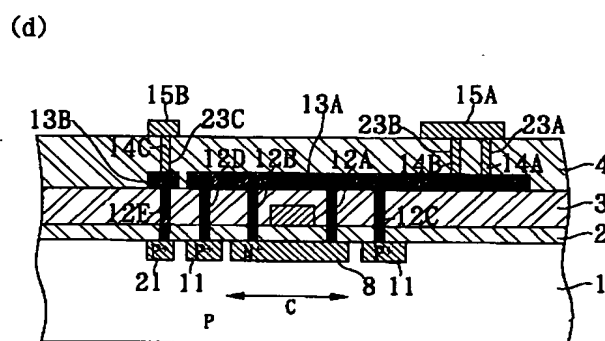
【図6】



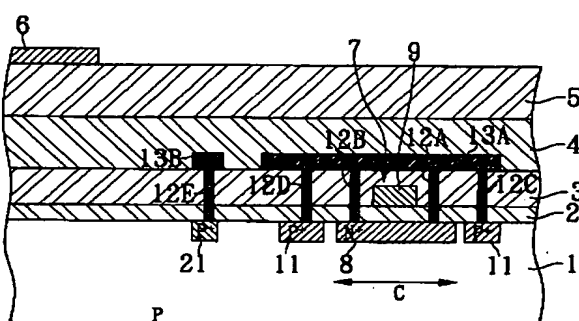
【図7】



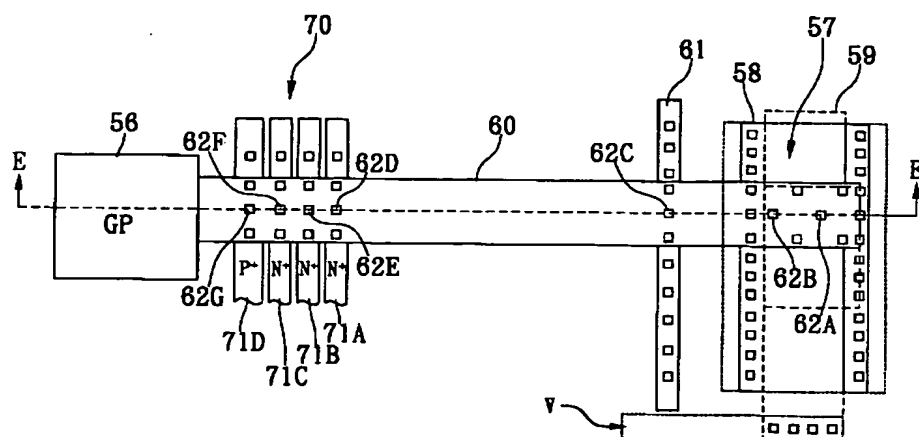
【图 8】



【図 10】



【图 1 1】



F ターム(参考) 5F033 HH04 HH08 HH33 JJ08 JJ33
KK01 KK33 PP06 PP15 RR04
SS11 UU04 VV07 VV09 VV10
XX00
5F038 AC03 AC14 BE09 BH02 BH03
BH09 BH10 BH13 BH19 CA05
CA10 EZ01 EZ20